

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Patent			
<b>Patent No</b>	347591	<b>Publication Date</b>	1998/12/11
<b>Application No</b>	85105964	<b>Filing Date</b>	1996/5/20
<b>Title</b>	Process for producing field effect devices		
<b>IPC</b>	H01L27/105		

Author / Inventor	
TSENG, HORNG-HUEI (TW ) ;F	

Applicant			
<b>Name</b>	<b>Country</b>	<b>Individual/Company</b>	
VANGUARD INTERNATIONAL SEMICONDUCTOR CORP	TW	Company	

Patent Abstract	
<p>A process for producing a field effect transistor, which comprises the following steps:</p> <p>forming an oxide layer required for isolating a field effect transistor on a silicon semiconductor wafer;</p> <p>forming a gate oxide layer of the field effect transistor;</p> <p>forming a polysilicon layer and a first dielectric layer, and etching off the first dielectric layer by using photolithography and etching techniques thereby forming a trench, the region of the trench being to be used as the gate of the field effect transistor;</p> <p>using the polysilicon layer and the first dielectric layer as the protective mask of ion implantation, and using an ion implantation technique for performing a channel doping which comprises forming a doping region only on the surface of the silicon semiconductor wafer in the trench;</p> <p>selectively growing a metal on the surface of the polysilicon layer in the trench;</p> <p>removing the first dielectric layer;</p> <p>using the metal as the etching protective mask, etching off the polysilicon layer thereby forming a recessed metal-polycide gate; and</p> <p>forming the source/drain.</p>	

**BACK**

Attachment

(1)

中華民國專利公報資料庫 - 專利公報全文

### 本資料僅供參考, 所有資訊以經濟部智慧財產局專利公報為準。 ###

(C) COPYRIGHT 2002 APIPA

專利公告號: 347591

專利公告日期: 19981211

國際專利分類: H01L27/105

專利申請案號: 85105964

專利申請日期: 19960520

公告卷數: 025 公告期數: 035

專利權類別: 發明

專利權證書號: 000000

專利名稱: 場效元件的製造方法

發明人名稱 (地址): 曾鴻輝 (新竹) 市中央路二八一巷二十五號五樓)

申請人名稱 (地址): 世界先進積體電路股份有限公司 (新竹科學工業園區新竹縣園區三路一二三號)

申請專利範圍:

Hong-Huei Tseng  
Hsin-Chiu  
Intel Vanguard Semiconductor

1. 一種場效電晶體的製造方法, 其製程步驟如下:

在矽半導體晶圓上形成隔離『場效電晶體』所需要的氧化層;

形成所述場效電晶體之閘氧化層;

形成一層複晶矽層與第一介電層, 並利用微影技術與蝕刻技術蝕去所述第一介電層以形成凹槽(Trench), 所述『凹槽』之區域預備作為所述場效電晶體之閘極;

利用所述『複晶矽層』與『第一介電層』作為離子佈植保護罩, 利用離子佈植技術進行『通道摻雜』, 所述『通道摻雜』僅在所述『凹槽』內之矽半導體晶圓表面形成『摻雜區域』;

選擇性的在所述『凹槽』內之所述複晶矽層表面成長金屬;

去除所述第一介電層;

利用所述金屬作為蝕刻保護罩, 蝕去所述『複晶矽層』, 以形成埋層金屬複晶矽閘極(Recessed Metal-Polycide Gate);

形成源極/汲極。

2. 如申請專利範圍第1項之方法, 其中所述『閘氧化層』之厚度介於50到200埃之間。

3. 如申請專利範圍第1項之方法, 其中所述『複晶矽層』之厚度介於500到1500埃之間。

4. 如申請專利範圍第1項之方法, 其中所述『第一介電層』是二氧化矽, 其厚度介於1000到4000埃之間。

5. 如申請專利範圍第1項之方法, 其中所述『金屬』是指鎢等頑固金屬(Refractory Metal)。

6. 如申請專利範圍第1項之方法, 其中對所述第一介電層之蝕刻, 是利用磁場增強式活性離子式電漿蝕刻技術或是電子迴旋共振電漿蝕刻技術, 或是傳統的活性離子式電漿蝕刻技術。

7. 一種N通道金氧半場效電晶體(NMOSFET)的製造方法, 其製程步驟如下:

在P型矽半導體晶圓上形成隔離『N通道金氧半場效電晶體』所需要的氧化層;

形成所述N通道金氧半場效電晶體之閘氧化層;

形成一層複晶矽層與第一介電層, 並利用微影技術與蝕刻技術蝕去所述第一介電層以形成凹槽(Trench), 所述『凹槽』之區域預備作為所述所述N通道金氧半場效電晶體之閘極;

利用所述『複晶矽層』與『第一介電層』作為離子佈植保護罩，利用離子佈植技術進行『通道摻雜』，所述『通道摻雜』僅在所述『凹槽』內之P型矽半導體晶圓表面形成『摻雜區域』；

選擇性的在所述『凹槽』內之所述複晶矽層表面成長鎢金屬；

去除所述第一介電層；

利用所述鎢金屬作為蝕刻保護罩，蝕去所述『複晶矽層』，以形成埋層鎢複晶矽閘極；

形成N-淡摻雜源極／汲極；

形成一層第二介電層，並利用蝕刻技術對所述第二介電層進行回蝕刻，以在所述『埋層鎢複晶矽閘極』的旁側形成第二介電層側壁子(Spacer)；

形成N+濃摻雜源極／汲極。

8.如申請專利範圍第7項之方法，其中所述『閘氧化層』之厚度介於50到200埃之間。

9.如申請專利範圍第7項之方法，其中所述『複晶矽層』之厚度介於500到1500埃之間。

10.如申請專利範圍第7項之方法，其中所述『第一介電層』是二氧化矽，其厚度介於1000到4000埃之間。

11.如申請專利範圍第7項之方法，其中所述『第二介電層』是二氧化矽，其厚度介於1000到2500埃之間。

12.如申請專利範圍第7項之方法，其中對所述形成所述『N-淡摻雜源極／汲極』之離子種類是磷原子(P31)，其離子佈植劑量介於1E13到3E14原子／平方公分之間，離子佈植能量則介於20到40Kev之間。

13.如申請專利範圍第7項之方法，其中對所述形成所述『N+濃摻雜源極／汲極』之離子種類是砷原子，其離子佈植劑量介於1E15到5E16原子／平方公分之間，離子佈植能量則介於30到100Kev之間。

14.如申請專利範圍第7項之方法，其中對所述第二介電層之回蝕刻，是利用磁場增強式活性離子式電漿蝕刻技術或是電子迴旋共振電漿蝕刻技術，或是傳統的活性離子式電漿蝕刻技術。

15.一種P通道金氧半場效電晶體(PMOSFET)的製造方法，其製程步驟如下：

在N型矽半導體晶圓上形成隔離『P通道金氧半場效電晶體』所需要的氧化層；

形成所述P通道金氧半場效電晶體之閘氧化層；

形成一層複晶矽層與第一介電層，並利用微影技術與蝕刻技術蝕去所述第一介電層以形成凹槽(Trench)，所述『凹槽』之區域預備作為所述場效電晶體之閘極；

利用所述『複晶矽層』與『第一介電層』作為離子佈植保護罩，利用離子佈植技術進行『通道摻雜』，所述『通道摻雜』僅在所述『凹槽』內之所述N型矽半導體晶圓表面形成『摻雜區域』；

選擇性的在所述『凹槽』內之所述複晶矽層表面成長鎢金屬；

去除所述第一介電層；

利用所述鎢金屬作為蝕刻保護罩，蝕去所述『複晶矽層』，以形成埋層鎢複晶矽閘極；

形成P-淡摻雜源極／汲極；

形成一層第二介電層，並利用蝕刻技術對所述第二介電層進行回蝕刻，以在所述『埋層鎢複晶矽閘極』的旁側形成第二介電層側壁子(spacer)；

形成P+濃摻雜源極／汲極。

16.如申請專利範圍第15項之方法，其中所述『閘氧化層』之厚度介於50到200埃之間。

17.如申請專利範圍第15項之方法，其中所述『複晶矽層』之厚度介於500到1500埃之間。

18.如申請專利範圍第15項之方法，其中所述『第一介電層』是二氧化矽，其厚度介於1000到4000埃之間。

19.如申請專利範圍第15項之方法，其中所述『第二介電層』是二氧化矽，其厚度介於1000到2500埃之間。

20.如申請專利範圍第15項之方法，其中形成所述『P-淡摻雜源極／汲極』之離子種類是硼原子(BF<sub>2</sub>)。

21.如申請專利範圍第15項之方法，其中形成所述『P+濃摻雜源極／汲極』之離子種類是硼原子(B11)。

22.如申請專利範圍第15項之方法，其中對所述第二介電層之回蝕刻，是利用磁場增強式活性離子式電漿蝕刻技術或是電子迴旋共振電漿蝕刻技術，或是傳統的活性離子式電漿蝕刻技術。

圖式簡單說明：

第一圖到第六圖是製造金氧半場效電晶體(MOSFET)之傳統方法的製程剖面示意圖(Process Cross Section)。

第七圖至第十一圖是本發明之實施例的製程剖面示意圖。

第一圖是形成隔離金氧半場效電晶體所需要的場氧化層後的製程剖面示意圖；

第二圖是形成金氧半場效電晶體之閘氧化層，並進行所述金氧半場效電晶體之通道摻雜(Channel Doping)，以調整所述金氧半場效電晶體之臨界電壓(Threshold Voltage)後的製程剖面示意圖；

第三圖是形成一層複晶矽(Polysilicon)，並利用微影技術與電漿蝕刻技術蝕去所述複晶矽以形成金氧半場效電晶體之閘極(Gate Electrode)後的製程剖面示意圖；

第四圖是形成金氧半場效電晶體之N-淡摻雜源極／汲極後的製程剖面示意圖；

第五圖是形成一層二氧化矽(Silicon Dioxide)，並對所述二氧化矽進行垂直單向性的回蝕刻(Anisotropic Etchback)，以在所述閘極之二側形成二氧化矽側壁子(Silicon Dioxide Spacer)後的製程剖面示意圖；

第六圖是利用離子佈植形成金氧半場效電晶體之N+濃摻雜源極／汲極後的製程剖面示意圖；

第七圖是在矽半導體晶圓形成一層『複晶矽層』與第一介電層，並利用微影技術與電漿蝕刻技術蝕去所述第一介電層以形成凹槽(Trench)後的製程剖面示意圖；

第八圖是以所述『複晶矽層』與『第一介電層』作為離子佈植保護罩，利用離子佈植技術在所述凹槽內進行『通道摻雜』後的製程剖面示意圖；

第九圖是選擇性的在所述『凹槽』內之所述複晶矽層表面成長一層鎢金屬(Selective W-Growth)後的製程剖面示意圖；

第十圖是去除所述第一介電層後的製程剖面示意圖；

第十一圖是以所述鎢金屬作為蝕刻保護罩以蝕去所述『複晶矽層』，以在所述凹槽內形成埋層鎢複晶矽化物閘極(Recessed W-Polycide Gate)後的製程剖面示意圖；

專利相關圖形檔：[\[附圖 1\]](#) [\[附圖 2\]](#) [\[附圖 3\]](#) [\[附圖 4\]](#)

專利相關公告：[資料庫中無相關雜文..](#)

開始連線時間:09:49:10 斷線時間:09:49:10 連線時間:1秒

[資料庫登入](#)

[輸入查詢條件](#)

[查詢結果統計](#)

[查詢結果瀏覽](#)

[專利公報全文](#)

本系統使用 Apipa Patent Search Engine 1.1版

資料來源：智慧財產局

專案執行：A P I P A

### 本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。 ###

## 中華民國專利公報資料庫 - 專利相關圖形檔

### 本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。 ###

資料來源：智慧財產局

專案執行：A P I P A

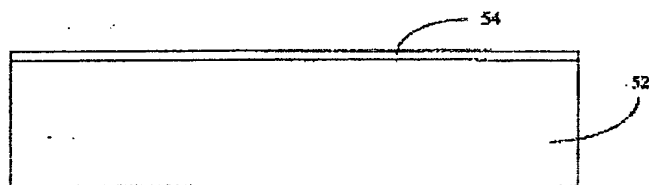
(4)

7

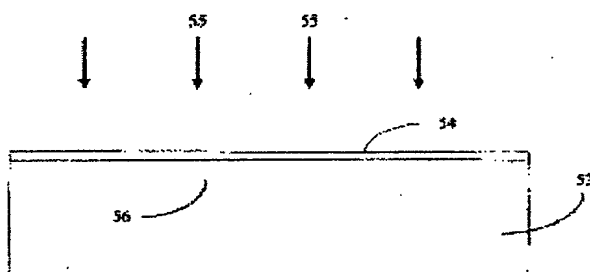
8

顯示模內形成埋置的矽化物開窗  
(Recessed W-Polymer Gate) 模的製模剖面

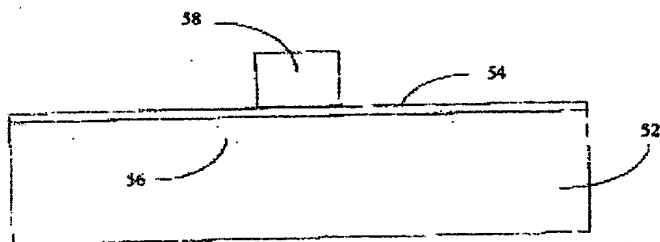
示意圖：



第一圖



第二圖



第三圖

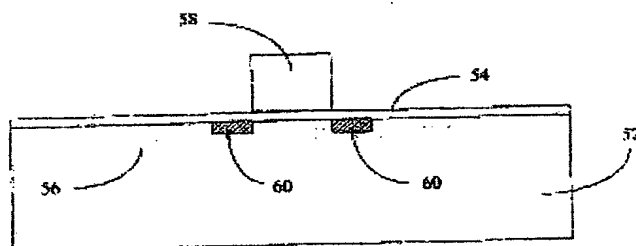
# 中華民國專利公報資料庫 - 專利相關圖形檔

### 本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。 ###

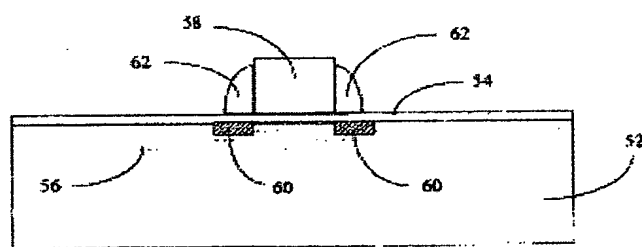
資料來源：智慧財產局

專案執行：APIPA

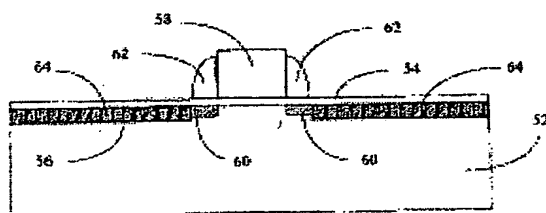
(5)



第四圖



第五圖



第六圖

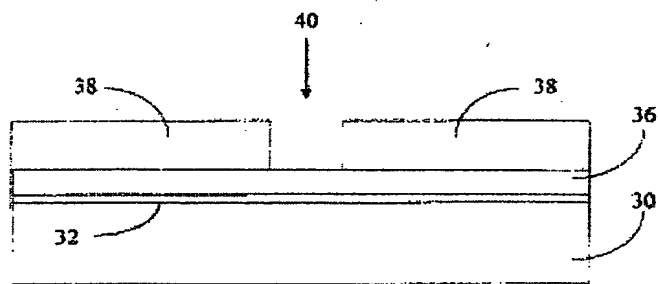
# 中華民國專利公報資料庫 - 專利相關圖形檔

### 本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。 ###

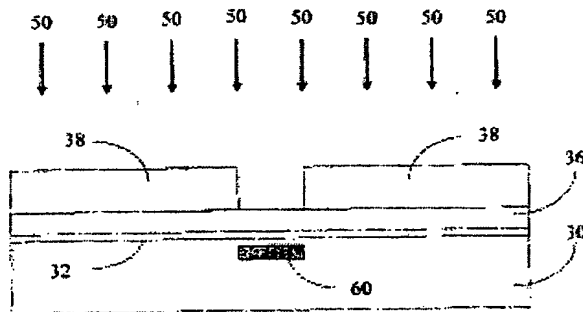
資料來源：智慧財產局

專案執行：APIPA

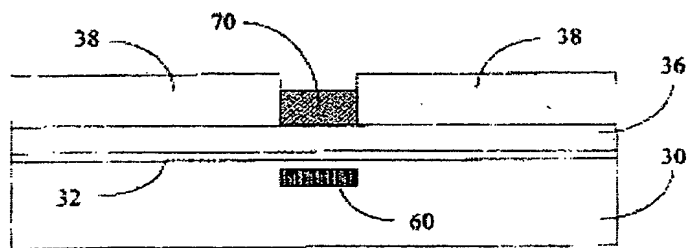
(6)



第七圖



第八圖



第九圖



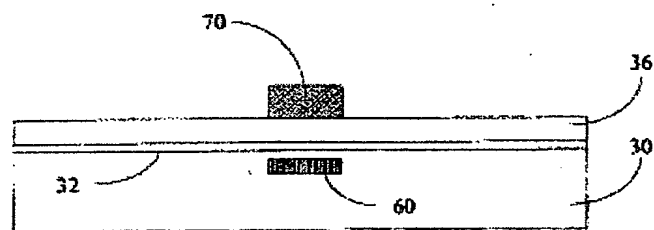
# 中華民國專利公報資料庫 - 專利相關圖形檔

### 本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。 ###

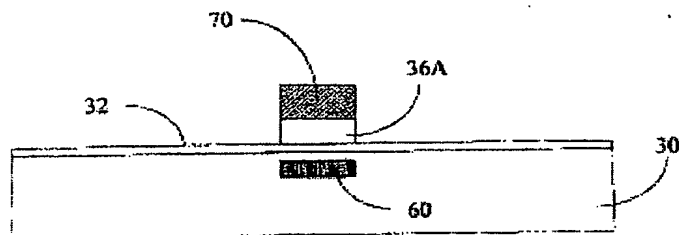
資料來源：智慧財產局

專案執行：APIPA

(7)



第十圖



第十一圖